

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Kuo et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: April 7, 2004

Docket No. 251806-1050

For: Phase Frequency Detector Used In Digital PLL System

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

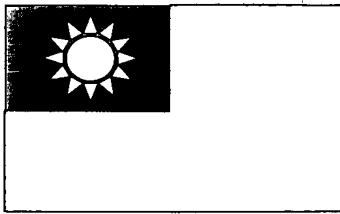
In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Phase Frequency Detector Used In Digital PLL System", filed May 6, 2003, and assigned serial number 92112296. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: 
Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

(This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder :

申 請 日：西元 2003 年 05 月 06 日
Application Date

申 請 案 號：092112296
Application No.

申 請 人：瑞昱半導體股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 11 月 18 日
Issue Date

發文字號：09221163960
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於數位鎖相迴路系統之相位頻率偵測器
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 郭郁斌 2. 周裕彬 3. 童旭榮
	姓 名 (英文)	1. 2. 3.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台中市精誠路211號 2. 苗栗縣通霄鎮平元里22鄰平新二路275號 3. 高雄市楠梓區美昌街97號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學園區工業東九路2號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1.



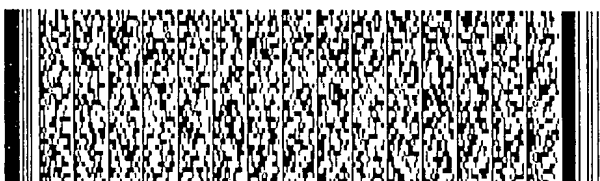
四、中文發明摘要 (發明名稱：用於數位鎖相迴路系統之相位頻率偵測器)

一種用於數位鎖相迴路系統之相位頻率偵測器包含：一相位差偵測單元，用以當偵測到一第一輸入信號或一第二輸入信號具有一變化緣(transition)時輸出該相位差信號；一相位差判斷單元，用以當偵測到該第一輸入信號及該第二輸入信號皆具有一變化緣時輸出一相位差判斷信號，其中，該相位差判斷信號之信號時間(duration)係與該第一輸入信號及該第二輸入信號之相位差大小相對應；以及一重置單元，與該相位差偵測單元及該相位差判斷單元耦接，用以依據該相位差判斷信號輸出一第一重置信號以重置該相位差偵測單元，並輸出一第二重置信號以重置該相位差判斷單元。

五、(一)、本案代表圖為：第____4____圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：用於數位鎖相迴路系統之相位頻率偵測器)

400 相 位 差 偵 測 單 元
410 相 位 差 判 斷 單 元
420 重 置 單 元

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

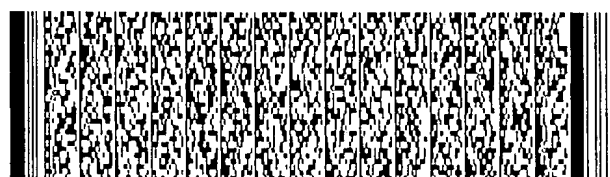
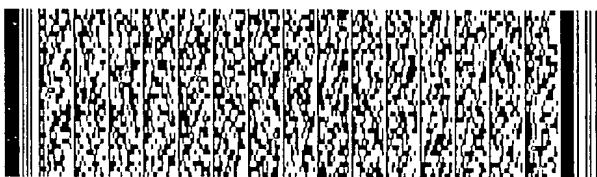
【發明所屬之技術領域】

本發明為一種相位頻率偵測器，特別是一種用於數位鎖相迴路系統之相位頻率偵測器。

【先前技術】

鎖相迴路(phase locked loop ; PLL)是一種能夠追蹤輸入訊號的頻率與相位的自動控制電路系統，它廣泛的運用在頻率合成(frequency synthesis)，時脈/數據回復(clock/data recovery)，時脈差異消除(clock de-skewing)等等的應用上。一般鎖相迴路(PLL)大致可分為類比鎖相迴路(Analog PLL ; APLL)與數位鎖相迴路(Digital PLL ; DPLL)。

一般的數位鎖相迴路的系統架構方塊圖如第1圖所示，包含相位頻率偵測器100、相位差量化器(Phase Error Quantizer)110、數位控制振盪器(Digital-Controller Oscillator ; DCO)120以及除頻電路(Divider)130。相位頻率偵測器100的作用是比較回授信號 F_i 與輸入信號 F_r 的相位差，並依據兩者相位差輸出相位差信號。一般相位差信號係分為UP信號及DOWN信號，由兩信號值及時間差來代表回授信號 F_i 與輸入信號 F_r 的相位差的大小。相位差量化器110係依據UP信號及DOWN信號之信號值及時間差，將相位差的大小以數位量化(Quantized)的方式輸出一計數信號。而數位控制振盪器(DCO)120再依據計數信號大小輸出相對應之一輸出信號 F_o 。需注意的是，輸出信號 F_o 的頻率與輸入信號 F_r 並不一定相同。當輸



五、發明說明 (2)

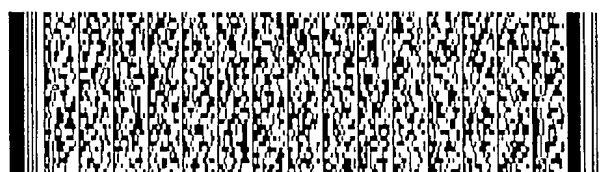
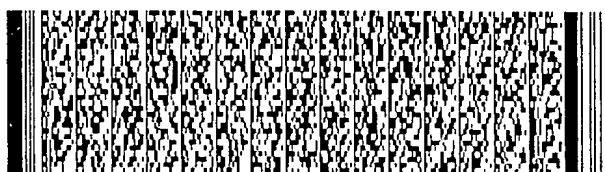
出信號 F_o 的頻率與輸入信號 F_r 不同時，輸出信號 F_o 必須經過除頻電路130除頻後，由相位頻率偵測器100來偵測回授信號 F_i 與輸入信號 F_r 的相位差。

第2圖為習知相位頻率偵測器(PFD)的電路架構圖，其中包含兩個D型正反器(D-type Flip-Flop)200、210及一個AND閘220。D型正反器200之信號輸入端(D)係與一高電壓源耦接，用以接收一高位準信號，時脈輸入端(CK)係用以接收輸入信號 F_r ，當輸入信號 F_r 為高位準信號時，則驅動該正反器200由信號輸出端(Q)輸出高位準信號。正反器210之動作原理與正反器200相似，其不同之處在於時脈輸入端(CK)係用以接收回授信號 F_i 。AND閘220之兩個信號輸入端分別與正反器200及210之信號輸出端(Q)耦接，其信號輸出端係分別與正反器200及210之重置信號輸入端(RB)耦接。相位頻率偵測器的動作原理請參考第3A圖之時序圖所示。假設本文所提到的頻率偵測器中的元件皆為一升緣觸發電路，以 F_r 信號超前 F_i 信號為例，當 F_r 信號輸入正反器200時，正反器200輸出UP信號，UP信號會隨 F_r 提升為高位準。直到 F_i 信號輸入正反器210時，正反器210輸出DOWN信號，亦即DOWN信號會隨 F_i 提升為高位準。當UP信號與DOWN信號皆為高位準時，兩輸入端分別接收UP信號與DOWN信號之AND閘220後會輸出一重置(Reset)信號分別輸入正反器200、210中重置正反器200、210。故正反器200、210分別輸出之UP信號與DOWN信號皆回到低位準。當 F_r 信號落後 F_i 信號時，兩正反器之動作原理相同，所不同的是此時

五、發明說明 (3)

正反器210輸出之DOWN信號會先提升為高位準，然後與後提升為高位準的UP信號一同輸入AND閘220，使得AND閘220輸出重置信號分別重置正反器200、210，使得故正反器200、210分別輸出之UP信號與DOWN信號皆回到低位準。故藉由UP信號與DOWN信號何者先提升為高位準信號，可以得知輸入信號Fr與回授信號Fi的相位的領先與落後，並藉由UP信號與DOWN信號提升至高位準之時間差的長短得知相位領先或落後的大小。

相位頻率偵測器對回授信號Fi與輸入信號Fr的相位差大小的靈敏度是很重要的。靈敏度的定義為鎖相迴路所能偵測到的回授Fi與輸入Fr的相位差的最小差距。由於邏輯元件實際的電路特性並不理想，造成正反器的運作及AND閘的邏輯運算都會有延遲時間(delay time)。例如：當輸入信號Fr與回授信號Fi分別輸入至正反器200及210時，正反器200及210分別接收到輸入信號Fr與回授信號Fi後，會經過一段延遲時間之後，才接收到AND閘所輸出之重置信號。延遲時間的長度與相位差大小並沒有呈現規則的關係。延遲時間會使得輸入信號Fr與回授信號Fi的相位差的大小與輸出信號Fo的關係會有誤差的存在。當輸入信號Fr或回授信號Fi的相位差越小，上述誤差對輸入信號Fr與回授信號Fi的相位差的大小與輸出信號Fo的關係的影響就越大。且當輸入信號Fr或回授信號Fi的相位差小到一定的程度時，會因為上述之電路不理想特性所造成延遲時間的緣故，造成相位頻率偵測器所輸出之UP信號或DOWN信號無



五、發明說明 (4)

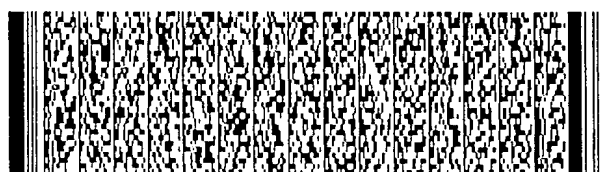
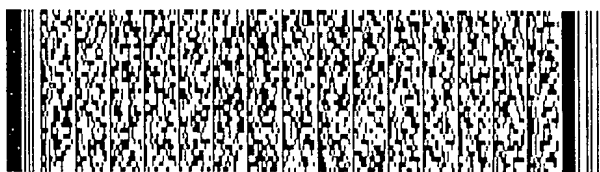
法被後級電路所利用或甚至是無法被後級電路偵測到的情況，此情況被稱之為死區(dead zone)。對使用習知之相位頻率偵測器的數位鎖相迴路而言，當輸入信號 F_r 或回授信號 F_i 的相位差小於一個時脈信號的話，量化器將不會感測到其相位的差異，故不會輸出一計數信號，如第3B圖所示。即習知數位鎖相迴路對相位差的靈敏度之最小值為一個時脈週期。

【發明內容】

有鑑於上述之需求，本發明提出一種用於數位鎖相迴路系統之相位頻率偵測器，以期在數位鎖相迴路中，能解決死區(Dead Zone)的問題並避免同步誤動作(glitch)的產生，即使相位差小於一個時脈信號時，還可提高數位鎖相迴路對相位差的靈敏度。

本發明所提的相位頻率偵測電路(如第4圖所示)包含：一相位差偵測單元400，用以當偵測到一第一輸入信號或一第二輸入信號具有一變化緣(transition)時輸出該相位差信號；一相位差判斷單元410，用以當偵測到該第一輸入信號及該第二輸入信號皆具有一變化緣時輸出一相位差判斷信號，其中，該相位差判斷信號之信號時間

(duration)係與該第一輸入信號及該第二輸入信號之相位差大小相對應；以及一重置單元420，與該相位差偵測單元及該相位差判斷單元耦接，用以依據該相位差判斷信號輸出一第一重置信號以重置該相位差偵測單元，並輸出一第二重置信號以重置該相位差判斷單元。



五、發明說明 (5)

【實施方式】

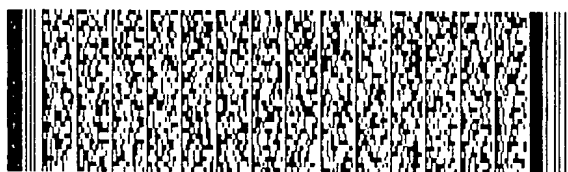
第4圖係為依據本發明之較佳實施例繪示之相位頻率偵測器之功能方塊圖。本發明之特徵在於除了相位差偵測單元400之外，還設計一相位差判斷單元410及重置單元420。相位差判斷單元410與相位差偵測單元400同步地接收輸入信號Fr及回授信號Fi，並依據輸入信號Fr及回授信號Fi之相位差輸出相位差信號至重置單元420。重置單元420依據相位差信號輸出第一重置信號來重置相位差偵測單元400，並輸出第二重置信號來重置相位差判斷單元410。第5圖為依據第4圖繪示之本發明提出之相位頻率偵測器之細部電路圖。其中，相位差偵測單元(Phase-Error Detecting)400係包含第一正反器401、第二正反器402、第一預重置單元403及第二預重置單元404。其中，第一正反器401與第二正反器402係為D型正反器，其信號輸入端(D)和時脈信號輸入端(CK)所接收之信號及其工作原理皆分別與第2圖所繪示之正反器200、210相對應，請自行參照前文之說明，於此不再贅述。第一正反器401與第二正反器402之信號輸出端(Q)分別輸出第一指標(Flag 1)信號、第二指標(Flag 2)信號。其中，第一指標信號即是UP信號，第二指標信號即是DOWN信號。當輸出信號Fr領先回授信號Fi輸入相位差偵測單元400時，第一正反器401會輸出第一指標信號，即UP信號。反之，當回授信號Fi領先輸出信號Fr輸入相位差偵測單元400時，第二正反器401會輸出第二指標信號，即DOWN信號。第一指標信號及第二指標



五、發明說明 (6)

信號會分別輸入至第一預重置單元403及第二預重置單元404中。在本實施例中，其中，第一預重置單元403及第二預重置單元404皆為NOR閘。第一預重置單元403係用以重置第二正反器402，而第二預重置單元404係用以重置第一正反器401。第一預重置單元403及第二預重置單元404之動作需與重置單元420配合。其工作原理將於下文中再作詳盡的說明。

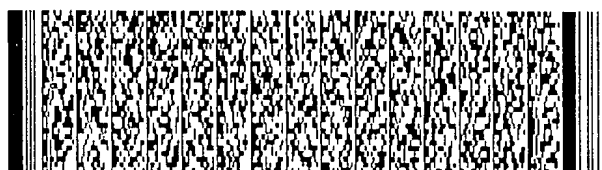
本發明與習知之相位頻率偵測單元不同之處在於，本發明設計一相位差判斷單元410，用以判斷輸出信號Fr及回授信號Fi的相位差大小，以及重置單元420，用以輸出重置信號，分別重置相位差偵測單元400及相位差判斷單元410。相位差判斷單元410係包含第三正反器411、第四正反器412及AND閘413。其中，第三正反器411及第四正反器412皆為D型正反器，信號輸入端及時脈信號輸入端所接收之信號及動作原理分別與第一正反器401及第二正反器402相對應，請參照前文之說明，於此不再贅述。第三正反器411及第四正反器412係用以分別依據輸入信號Fr及回授信號Fi輸出一第三指標(Flag 3)信號、一第四指標(Flag 4)信號至AND閘413。當第三正反器411及第四正反器412分別接收到輸入信號Fr及回授信號Fi時，AND閘413會依據第三指標信號及第四指標信號輸出相位差信號至重置單元420。重置單元420係為一D型正反器，其信號輸入端(D)係用以接收相位差信號，時脈輸入端(CK)係用以接收時脈信號，當收到相位差信號時，該正反器420由第一



五、發明說明 (7)

信號輸出端(Q)輸出第一重置信號重置相位差偵測單元400，並由第二信號輸出端(QB)輸出第二重置信號重置相位差判斷單元410。相位差判斷單元410及重置電路420詳細之工作原理將於下文作詳細的說明。

為配合作動說明，亦請參考第6圖之時序示意圖，假設本發明所提出之相位頻率偵測器之所有電路元件皆為升緣觸發電路。當輸入信號Fr之相位超前回授信號Fi時，第一正反器401與第三正反器411分別同時輸出高位準之第一指標信號及第三指標信號。此時，相位差偵測單元400會輸出高位準的UP信號。同時第一指標信號會輸入至第一預重置單元403，第一預重置單元403依據接收之第一指標信號重置第二正反器402，使第二指標信號，即DOWN信號維持在低位準。當相位落後之回授信號Fi端輸入第二正反器402及第四正反器412時，由於第二正反器402處於重置狀態，故不會輸出第二指標信號。此時，第四指標信號則輸出在高位準。由於第三指標信號及第四指標信號皆為高位準，AND閘電路413會輸出相位差判斷信號PE至重置單元420。重置單元會在下一個時脈信號的升緣輸出第一重置信號至第一預重置單元403及第二預重置單元404，使得第二預重置單元404去重置第一正反器401。此時，第一指標信號，即UP信號會拉回至低位準。需注意的是，在本實施例中，在重置單元420收到相位差判斷信號PE之後的下一個時脈週期，才會輸出第一重置信號，才可同時重置第一正反器401及第二正反器402。如此，只要輸入信號Fr及回

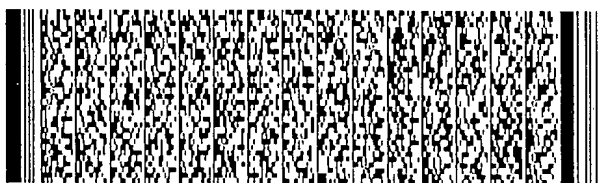


五、發明說明 (8)

授信號 F_i 具有相位差，即使兩信號的相位差小於一個時脈週期，輸出之高位準的UP信號或是DOWN信號都會持續大於一個時脈週期。如此，後級之量化器才可依據收到的UP信號或DOWN信號運作。故本發明所提出之相位頻率偵測單元對相位差的靈敏度會比習知作法要高許多。同時，重置單元420會輸出第二重置信號分別去重置第三正反器411及第四正反器412。使得高位準之第三指標信號及第四指標信號同時回到低位準。當輸入信號 F_r 之相位落後回授信號 F_i 時，本發明所提出之相位頻率偵測器其工作原理與前文之說明相似，請參考第6圖之時序圖所示，於此不再贅述。

請再參照第5圖，由於第一正反器401及第二正反器402分別與第三正反器411及第四正反器412相對應。由於兩兩相對應之正反器其所接收的信號及工作原理皆完全相同，故可以將正反器運作之延遲時間所造成的效應視為完全相同。如此即可有效地降低正反器運作造成的延遲時間對電路表現的影響。此外，本實施例利用重置單元420及相位差偵測單元400之第一預重置單元403及第二預重置單元404之聯合動作，即使 F_r/F_i 信號之相位差小於一個時脈週期，輸出之UP信號或DOWN信號會持續至少一個時脈週期，使得本實施例提出之相位頻率偵測單元對相位差的靈敏度大為提高。

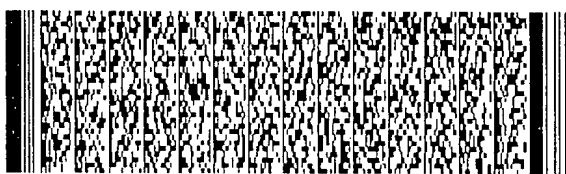
本發明更提出第二實施例，如第7圖所示，第7圖與第5圖之不同之處在於，在第7圖中，重置單元420除了第五正反器4211之外，更包括一第六正反器4212，皆用以輸出



五、發明說明 (9)

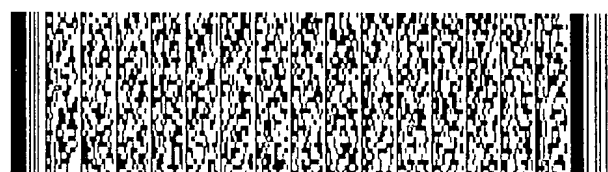
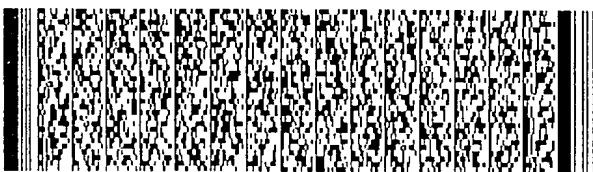
第一重置信號至第一預重置單元403及第二預重置單元404，並其信號輸出端皆與NOR閘4223耦接，用以輸出第二重置信號至第三正反器411及第四正反器412。第五正反器4211與第5圖中重置單元420之正反器相同，而第六正反器4212與第五正反器4211不同之處在於，其時脈信號輸入端(CK)係接收反相時脈信號CKB。故當同時收到相位差判斷信號PE時，第五正反器4211與第六正反器4212輸出之第一重置信號及第二重置信號的時間會相差半個時脈週期。與第一實施例相比，第二實施例之改良之處在於，在第一實施例中，由相位差判斷信號PE輸入重置單元420到重置單元420輸出第一及第二重置信號的時間差最長為一個時脈週期。但在第二實施例中，由於加入了第六正反器4211，相位差判斷信號PE輸入重置單元420到重置單元420輸出第一及第二重置信號的時間差最長僅為半個時脈週期。如此可大為提升本發明所提出之相位頻率偵測器之反應速度。第7圖中其他電路元件之工作原理皆與第5圖之相對應之電路元件相同，於此不再贅述。

本發明更提出第三實施例，如第8圖所示，第8圖與第7圖之不同之處在於，在第8圖中，重置單元420除了第一重置單元421之外，更包括一第二重置單元422。第一重置單元421包括第五正反器4211及第六正反器4212，其工作原理皆與第7圖中相對應之電路元件相同，與此不再贅述。第二重置單元422包括一第七正反器4221，其信號輸入端與第五正反器4211之信號輸出端耦接，且其時脈信號



五、發明說明 (10)

輸入端係接收時脈信號CK，以及一第八正反器4222，其信號輸入端與第六正反器4212之信號輸出端耦接，且其時脈信號輸入端係接收反相時脈信號CKB。與第一實施例及第二實施例相比，第三實施例之改良之處在於，藉由增設第二重置單元422，以避免同步誤動作(glitch)的產生。由於相位差判斷信號PE產生的時間並不一定，當相位差判斷信號PE與時脈信號或反相時脈信號同時輸入第五正反器4211或第六正反器4212時，會使得第五正反器4211或第六正反器4212之狀態不穩定，在這個時脈週期內輸出之第一重置信號及第二重置信號，其信號位準會處於高位準與低位準之間，此狀態稱為Meta-Stable。此狀態會持續一個時脈週期，在下一個時脈週期時才會恢復正常。但是，當後級電路收到此狀態不穩定之信號時，有可能會造成後級電路，如第三正反器411及第四正反器412的誤動作。如果後級電路真的發生誤動作，則下一個時脈週期之後雖然收到的是正常的信號，但是因為之前的誤動作的影響，後級電路就會持續地發生誤動作。此狀態稱為持續誤動作。為了避免持續誤動作的發生，本實施例再增設一級重置單元，萬一相位差判斷信號PE與時脈/反相時脈信號同步地輸入第一重置單元421，造成第一重置單元421輸出信號不穩定時，利用增設的第二重置單元422，即可避免此情形。除非相位差判斷信號PE與時脈/反相時脈信號同步地輸入第一重置單元421，且第一重置單元421之輸出信號與時脈/反相時脈信號同步地輸入第二重置單元422（此種狀



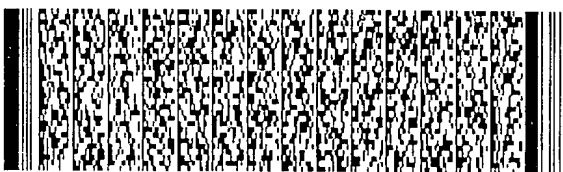
五、發明說明 (11)

況發生的機率微乎其微)，否則本實施例所提出之電路不會有持續誤動作的情況發生。

當然，還有其他實施例，例如第三實施例加以變形，如省略第八圖之第六正反器4212，第八正反器4222以及NOR閘4223，或是省略第八圖之第五正反器4211，第七正反器4221以及NOR閘4223，仍不脫離本發明之精神。

需注意的是，本說明書提出之實施例係以電路元件為升緣觸發電路為例來說明本發明之實施手段。但本發明並不以此為限。電路元件亦可為降緣觸發電路，或者是升/降緣觸發電路。若電路元件為降緣觸發電路，當輸入信號由高位準轉換成低位準時，會觸發電路元件進行動作。若電路元件為升/降緣觸發電路，則只要輸入信號具有一變化緣(transition)，無論是低位準轉換成高位準(上升緣)或是高位準轉換成低位準(下降緣)，皆會觸發電路元件進行動作。另，本發明為了電路實際製程的考量，係以NOR閘來達到與OR閘均等的功效，但本發明並不以此為限。

以上所述者，僅為本發明其中的較佳實施例而已，並非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。

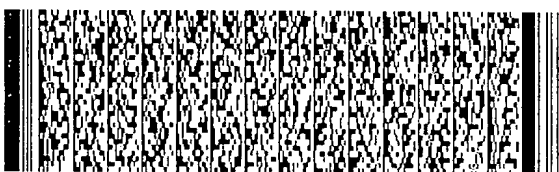


圖式簡單說明

- 第1圖為習知數位鎖相迴路的系統架構方塊圖；
第2圖為習知相位頻率偵測器的電路架構圖；
第3A~3B圖為習知相位頻率偵測器之時序示意圖；
第4圖為本發明之相位頻率偵測系統架構方塊圖；
第5圖為本發明之相位頻率偵測器之第一實施例細部電路圖；
第6圖為本發明第一實施例之時序示意圖；
第7圖為本發明之相位頻率偵測器之第二實施例細部電路圖；及
第8圖為本發明之相位頻率偵測器之第三實施例細部電路圖。

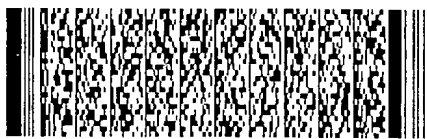
【圖式符號說明】

100	相位頻率偵測器
110	相位差量化器
120	數位控制振盪器
130	除頻電路
200、210	正反器
220	AND 閘
400	相位差偵測單元
401	第一正反器
402	第二正反器
403	第一預重置單元
404	第二預重置單元
410	相位差判斷單元



圖式簡單說明

411	第三正反器
412	第四正反器
413	AND 閘
420	重置單元
421	第一重置單元
4211	第五正反器
4212	第六正反器
422	第二重置單元
4221	第七正反器
4222	第八正反器
4223	NOR 閘



六、申請專利範圍

1. 一種相位頻率偵測電路，用以接收一第一輸入信號及一第二輸入信號，並依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之一相位差信號，該相位頻率偵測電路包含：

一相位差偵測單元，用以當偵測到該第一輸入信號或該第二輸入信號具有一變化緣(transition)時輸出該相位差信號；

一相位差判斷單元，用以當偵測到該第一輸入信號及該第二輸入信號皆具有一變化緣時輸出一相位差判斷信號，其中，該相位差判斷信號之信號時間(duration)係與該第一輸入信號及該第二輸入信號之相位差大小相對應；以及

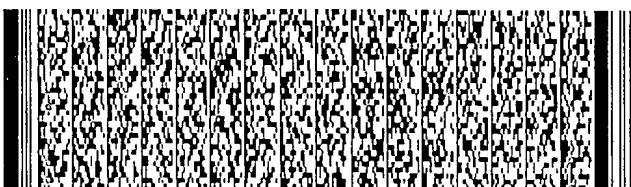
一重置單元，與該相位差偵測單元及該相位差判斷單元耦接，用以依據該相位差判斷信號輸出一第一重置信號以重置該相位差偵測單元，並輸出一第二重置信號以重置該相位差判斷單元。

2. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該相位差信號包括一第一輸出信號及一第二輸出信號。

3. 如申請專利範圍第2項所述之相位頻率偵測電路，其中該相位差偵測單元更包括：

一第一正反器，用以依據該第一輸入信號輸出該第一輸出信號；以及

一第二正反器，用以依據該第二輸入信號輸出該第二輸出信號；



六、申請專利範圍

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位。

4. 如申請專利範圍第3項所述之相位頻率偵測電路，其中該相位差偵測單元更包括：

一第一預重置單元，與該第一正反器耦接，用以依據該第一輸出信號或該第一重置信號重置該第二正反器；以及

一第二預重置單元，與該第二正反器耦接，用以依據該第二輸出信號或該第一重置信號重置該第一正反器；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位且該第二輸出信號為低準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位且該第一輸出信號為低準位。

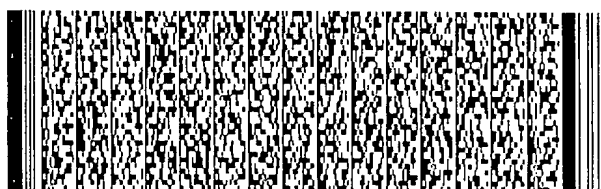
5. 如申請專利範圍第4項所述之相位頻率偵測電路，其中該第一預重置單元及該第二預重置單元係為NOR閘。

6. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該相位差判斷單元更包括：

一第三正反器，用以依據該第一輸入信號輸出一第三輸出信號；

一第四正反器，用以依據該第二輸入信號輸出一第四輸出信號；以及

一相位差判斷信號輸出單元，分別與該第三正反器及該第四正反器耦接，用以接收該第三輸出信號及該第四輸



六、申請專利範圍

出信號，並輸出該相位差判斷信號。

7. 如申請專利範圍第6項所述之相位頻率偵測電路，其中該相位差判斷信號輸出單元係為一AND閘。

8. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該重置單元係為一第五正反器。

9. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該重置單元更包括：

一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第六正反器，用以依據一反相時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第六輸出信號；以及

一重置信號輸出單元，分別與該第五正反器及該第六正反器耦接，用以依據該第五輸出信號或該第六輸出信號輸出該第二重置信號。

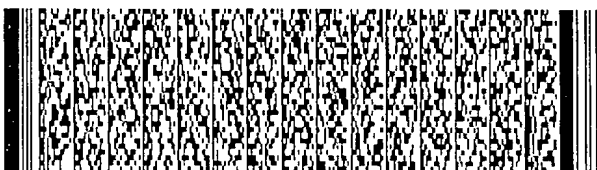
10. 如申請專利範圍第9項所述之相位頻率偵測電路，其中該重置信號輸出單元係為一NOR閘。

11. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該重置單元更包括：

一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第七正反器，用以依據該時脈信號，當收到該第五輸出信號時輸出該第二重置信號。

12. 如申請專利範圍第1項所述之相位頻率偵測電路，其



六、申請專利範圍

中該重置單元更包括：

一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第六正反器，用以依據一反相時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第六輸出信號；

一第七正反器，用以依據該時脈信號，當收到該第五輸出信號時輸出一第七輸出信號；

一第八正反器，用以依據該反相時脈信號，當收到該第六輸出信號時輸出一第八輸出信號；以及

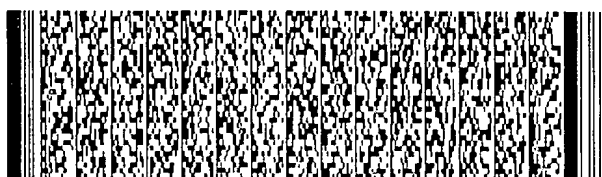
一重置信號輸出單元，分別與該第七正反器及該第八正反器耦接，用以依據該第七輸出信號或該第八輸出信號輸出該第二重置信號。

13. 如申請專利範圍第12項所述之相位頻率偵測電路，其中該重置信號輸出單元係為一NOR閘。

14. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣皆為上升緣。

15. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣分別為上升緣及下降緣。

16. 如申請專利範圍第1項所述之相位頻率偵測電路，其中該第一輸入信號及該第二輸入信號之變化緣皆為下降緣。



六、申請專利範圍

17. 一種鎖相迴路，包括：

一相位頻率偵測電路，用以接收一第一輸入信號及一第二輸入信號，並依據該第一輸入信號及該第二輸入信號之相位差輸出相對應之一相位差信號，其中，該相位頻率偵測電路更包含：

一相位差偵測單元，用以當偵測到該第一輸入信號或該第二輸入信號具有一變化緣時輸出該相位差信號；

一相位差判斷單元，用以當偵測到該第一輸入信號及該第二輸入信號皆具有一變化緣時輸出一相位差判斷信號，其中，該相位差判斷信號之信號時間係與該第一輸入信號及該第二輸入信號之相位差大小相對應；以及

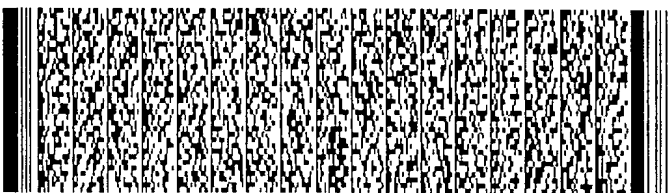
一重置單元，與該相位差偵測單元及該相位差判斷單元耦接，用以依據該相位差判斷信號輸出一第一重置信號以重置該相位差偵測單元，並輸出一第二重置信號以重置該相位差判斷單元；

一相位差量化器，與該相位頻率偵測器耦接，用以依據該相位差信號輸出相對應之一計數信號，其中該計數信號之大小係與該相位差信號之信號時間有關；以及

一數位控制振盪器，與該相位差量化器耦接，用以依據該計數信號輸出相對應之一鎖相輸出信號，其中，該鎖相輸出信號之頻率及相位係與該計數信號相對應。

18. 如申請專利範圍第17項所述之鎖相迴路，其中該相位差信號包括一第一輸出信號及一第二輸出信號。

19. 如申請專利範圍第18項所述之鎖相迴路，其中該相位



六、申請專利範圍

差偵測單元更包括：

一 第一正反器，用以依據該第一輸入信號輸出該第一輸出信號；以及

一 第二正反器，用以依據該第二輸入信號輸出該第二輸出信號；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位。

20. 如申請專利範圍第19項所述之鎖相迴路，其中該相位差偵測單元更包括：

一 第一預重置單元，與該第一正反器耦接，用以依據該第一輸出信號或該第一重置信號重置該第二正反器；以及

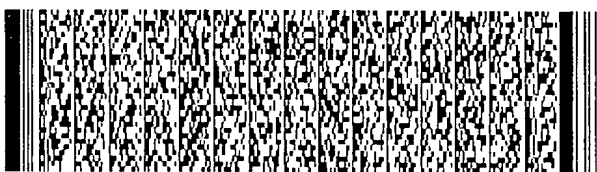
一 第二預重置單元，與該第二正反器耦接，用以依據該第二輸出信號或該第一重置信號重置該第一正反器；

其中，當該第一輸入信號之相位領先該第二輸入信號時，該第一輸出信號為高準位且該第二輸出信號為低準位，當該第一輸入信號之相位落後該第二輸入信號時，該第二輸出信號為高準位且該第一輸出信號為低準位。

21. 如申請專利範圍第20項所述之鎖相迴路，其中該第一預重置單元及該第二預重置單元係為NOR閘。

22. 如申請專利範圍第17項所述之鎖相迴路，其中該相位差判斷單元更包括：

一 第三正反器，用以依據該第一輸入信號輸出一第三



六、申請專利範圍

輸出信號；

一第四正反器，用以依據該第二輸入信號輸出一第四輸出信號；以及

一相位差判斷信號輸出單元，分別與該第三正反器及該第四正反器耦接，用以接收該第三輸出信號及該第四輸出信號，並輸出該相位差判斷信號。

23. 如申請專利範圍第22項所述之鎖相迴路，其中該相位差判斷信號輸出單元係為一AND閘。

24. 如申請專利範圍第17項所述之鎖相迴路，其中該重置單元係為一第五正反器。

25. 如申請專利範圍第17項所述之鎖相迴路，其中該重置單元更包括：

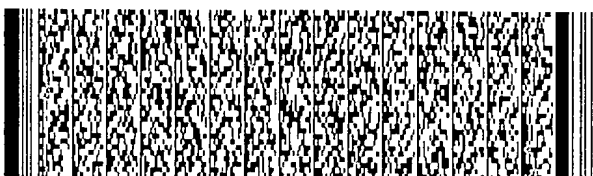
一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第六正反器，用以依據一反相時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第六輸出信號；以及

一重置信號輸出單元，分別與該第五正反器及該第六正反器耦接，用以依據該第五輸出信號或該第六輸出信號輸出該第二重置信號。

26. 如申請專利範圍第25項所述之鎖相迴路，其中該重置信號輸出單元係為一NOR閘。

27. 如申請專利範圍第17項所述之鎖相迴路，其中該重置單元更包括：



六、申請專利範圍

一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第七正反器，用以依據該時脈信號，當收到該第五輸出信號時輸出該第二重置信號。

28. 如申請專利範圍第17項所述之鎖相迴路，其中該重置單元更包括：

一第五正反器，用以依據一時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第五輸出信號；

一第六正反器，用以依據一反相時脈信號，當收到該相位差判斷信號時輸出該第一重置信號及一第六輸出信號；

一第七正反器，用以依據該時脈信號，當收到該第五輸出信號時輸出一第七輸出信號；

一第八正反器，用以依據該反相時脈信號，當收到該第六輸出信號時輸出一第八輸出信號；以及

一重置信號輸出單元，分別與該第七正反器及該第八正反器耦接，用以依據該第七輸出信號或該第八輸出信號輸出該第二重置信號。

29. 如申請專利範圍第28項所述之鎖相迴路，其中該重置信號輸出單元係為一NOR閘。

30. 如申請專利範圍第17項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為上升緣。

31. 如申請專利範圍第17項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣分別為上升緣及下降

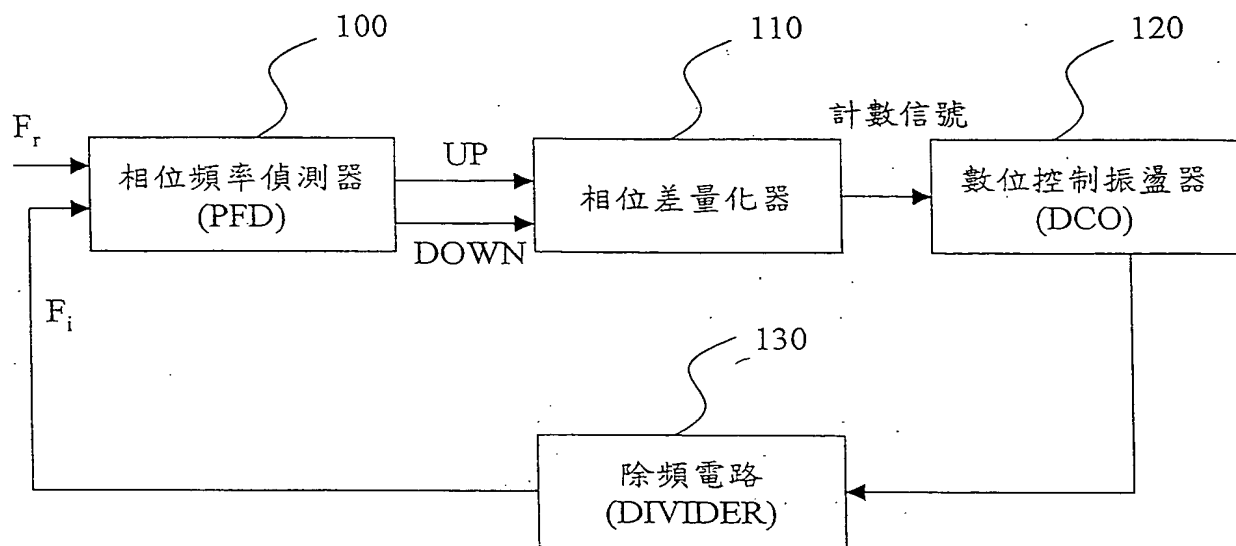
六、申請專利範圍

緣。

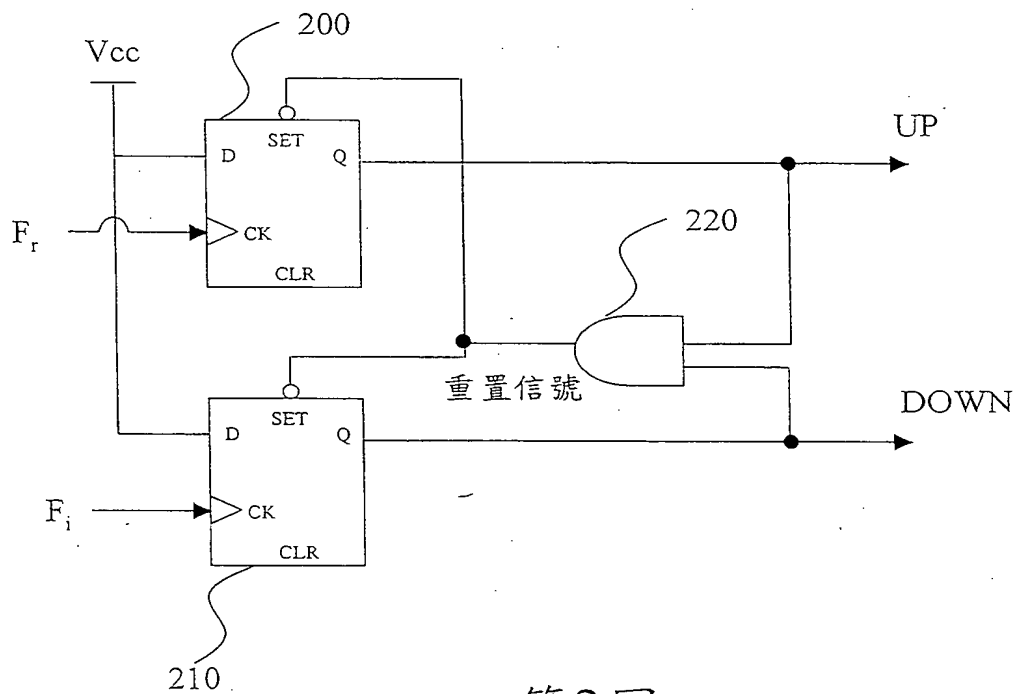
32. 如申請專利範圍第17項所述之鎖相迴路，其中該第一輸入信號及該第二輸入信號之變化緣皆為下降緣。



圖式

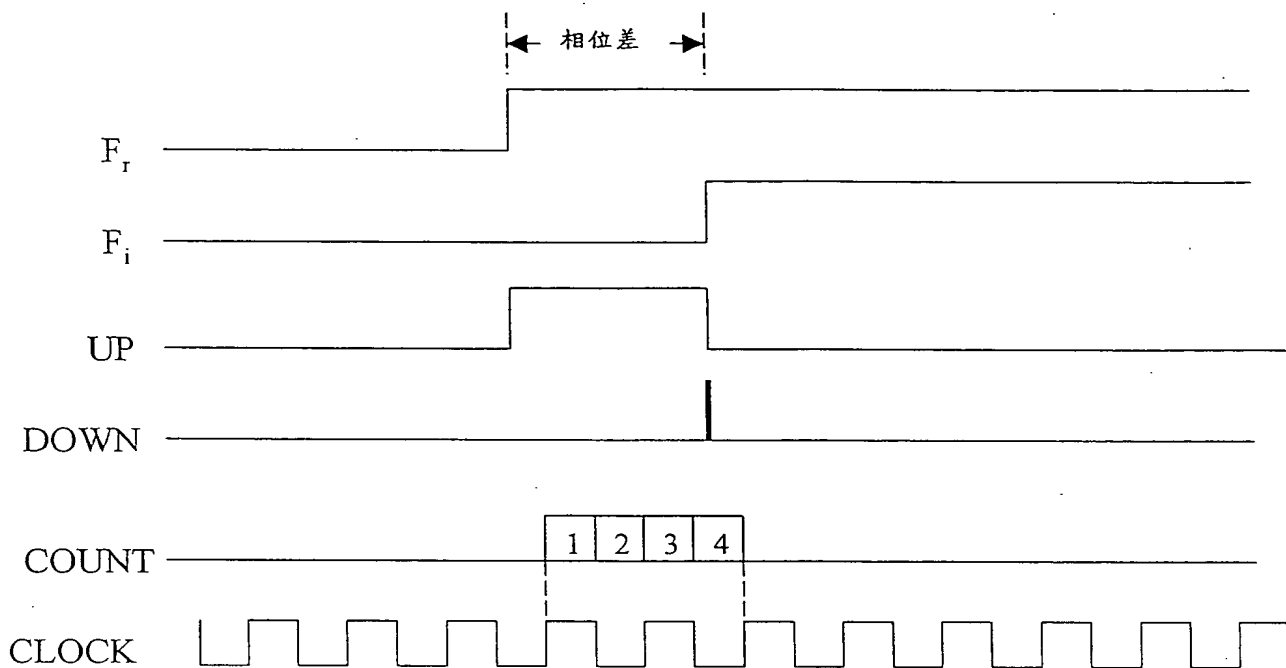


第1圖
(習知技術)

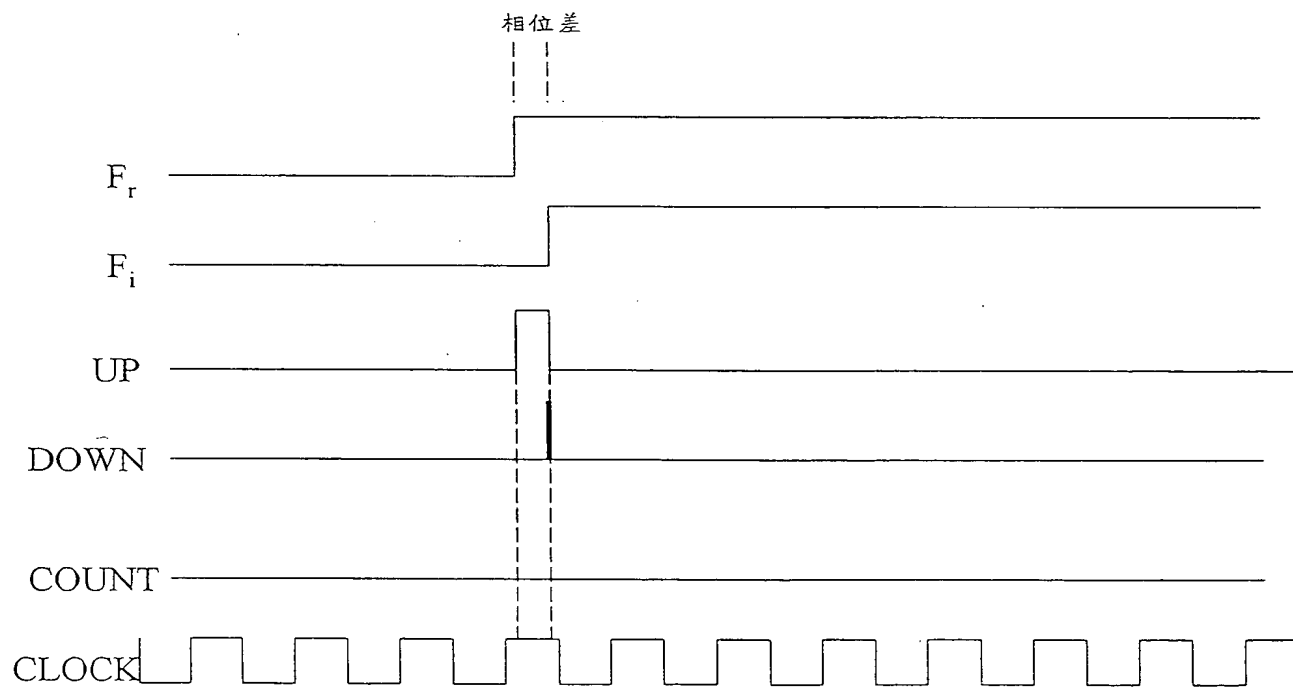


第2圖
(習知技術)

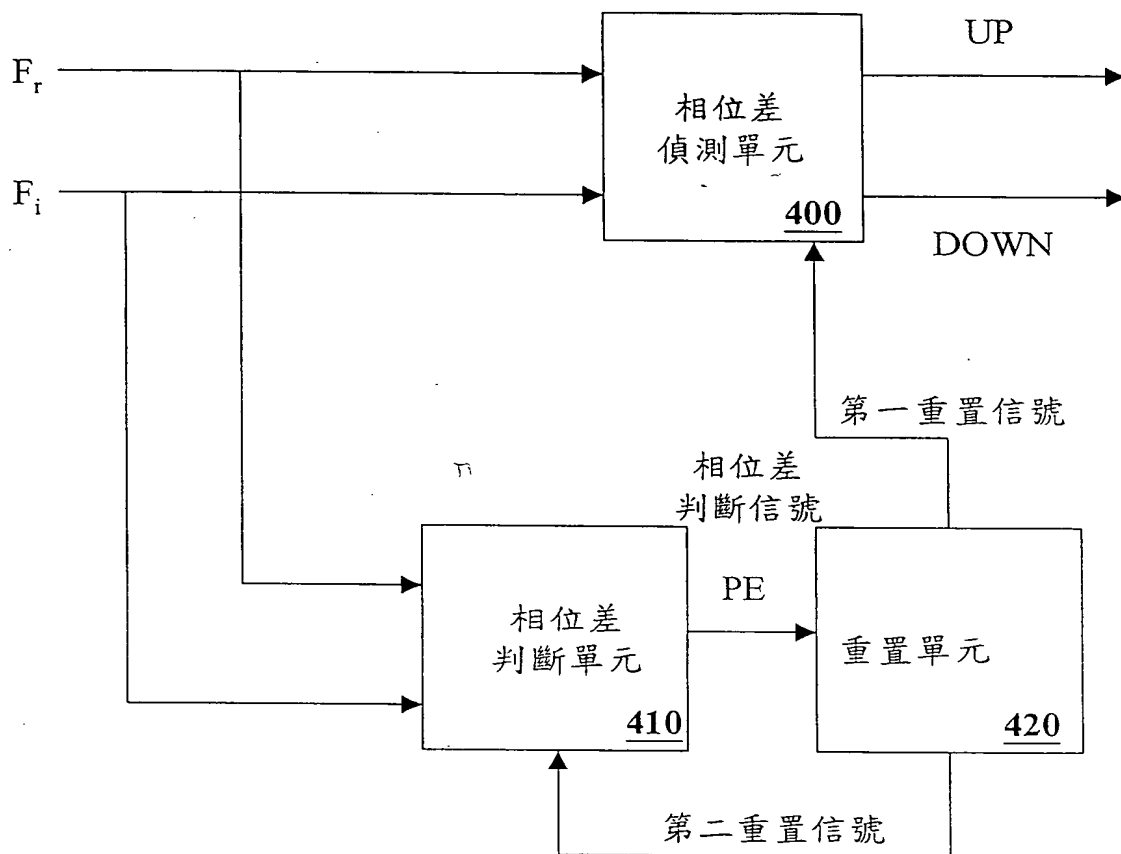
圖式



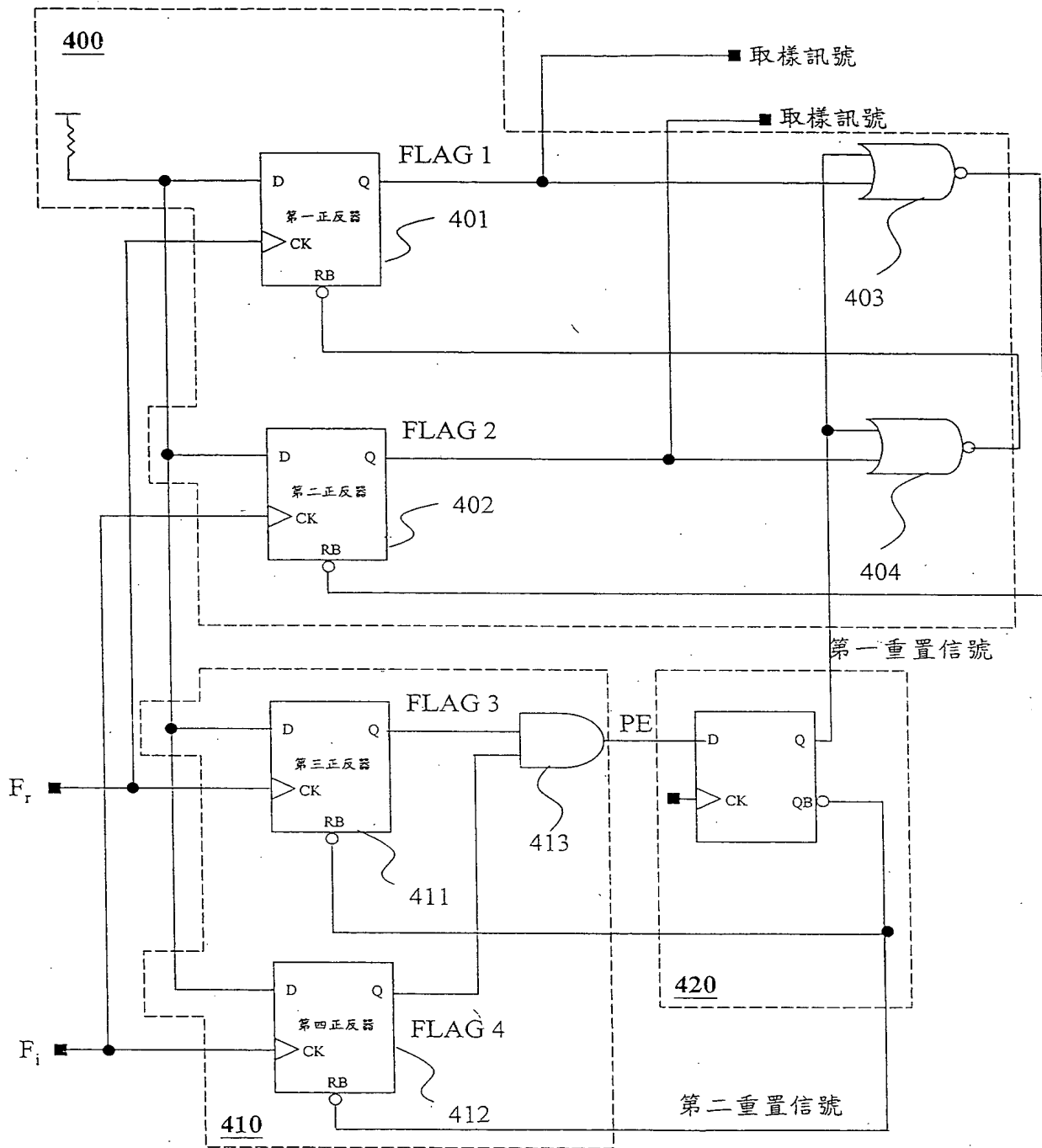
第3A圖
(習知技術)



第3B圖
(習知技術)

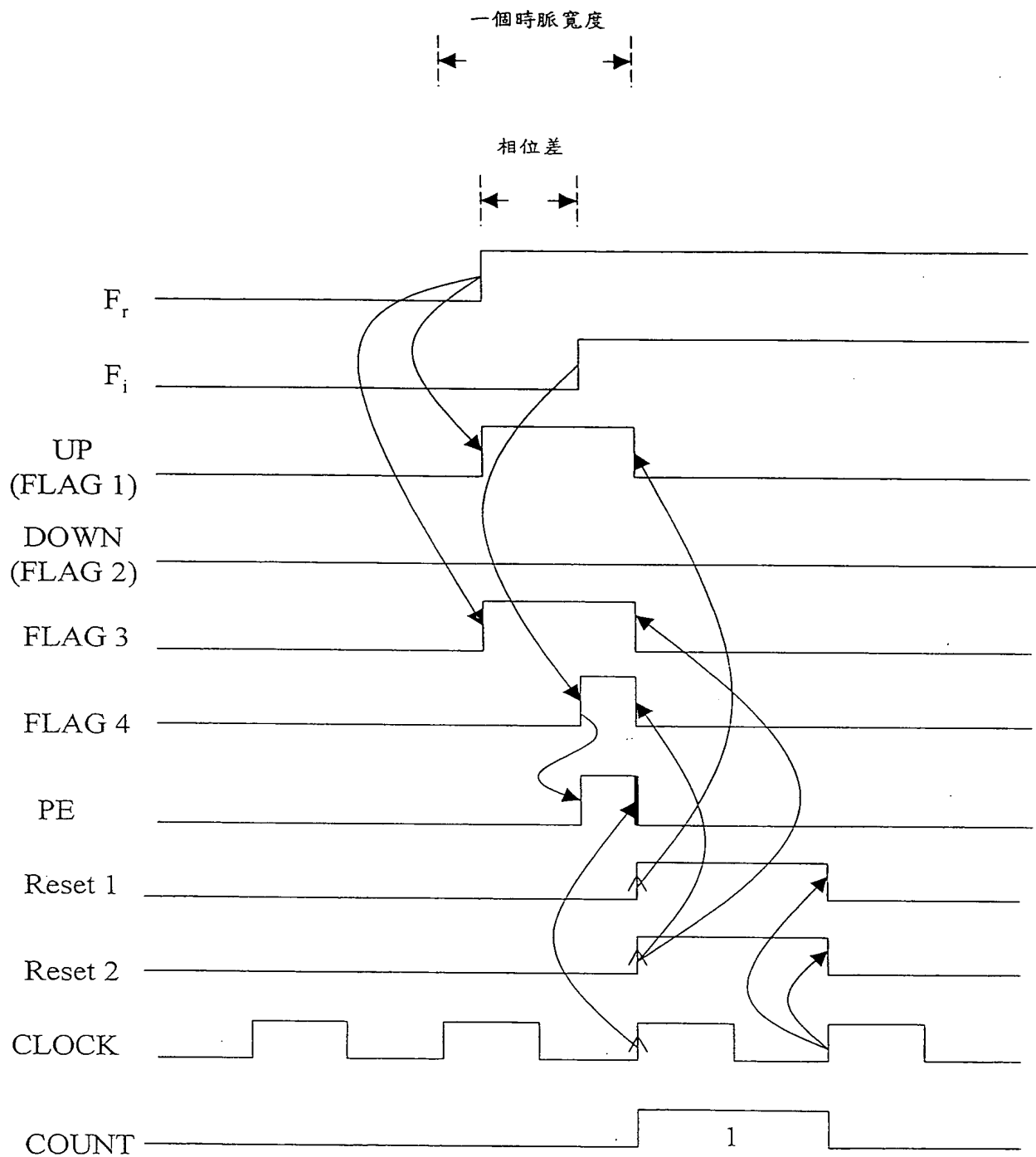


第4圖



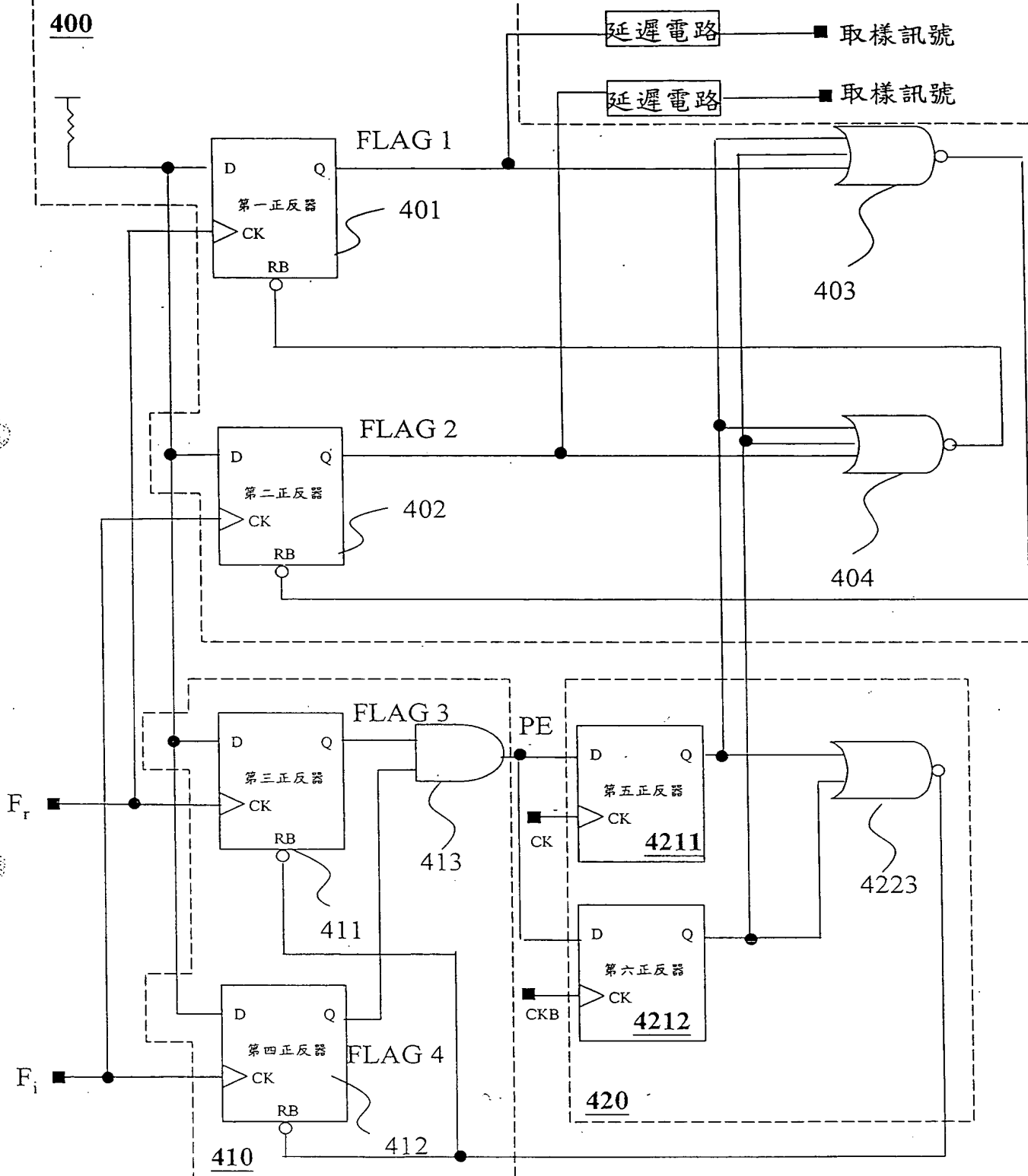
第5圖

圖式



第6圖

圖式



第7圖

圖式

400

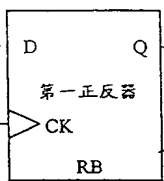
延遲電路

■ 取樣訊號

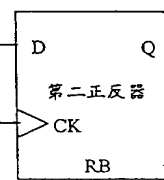
延遲電路

■ 取樣訊號

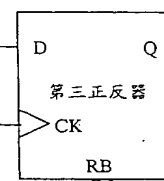
FLAG 1



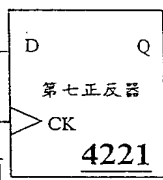
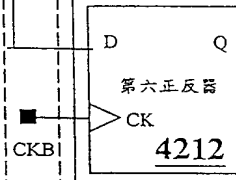
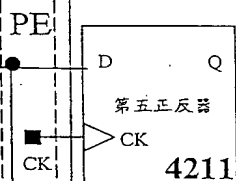
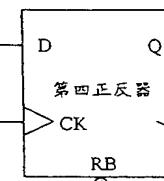
FLAG 2



FLAG 3



FLAG 4

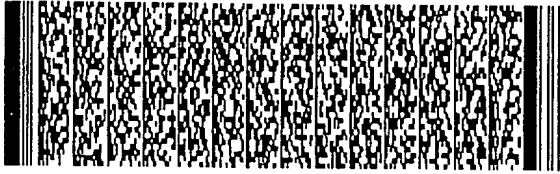


420

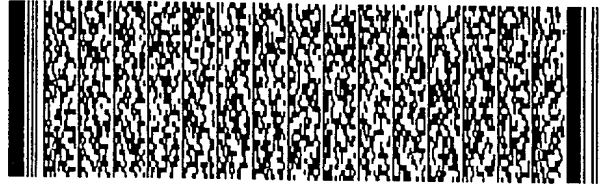
422

第8圖

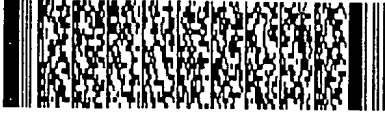
第 1/26 頁



第 2/26 頁



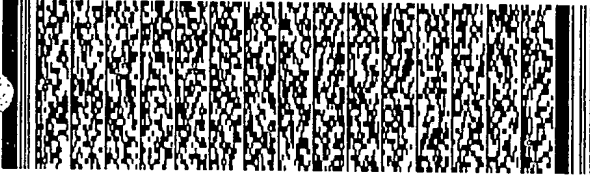
第 3/26 頁



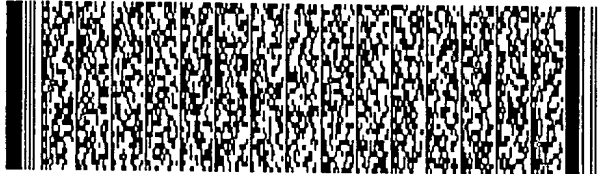
第 4/26 頁



第 5/26 頁



第 5/26 頁



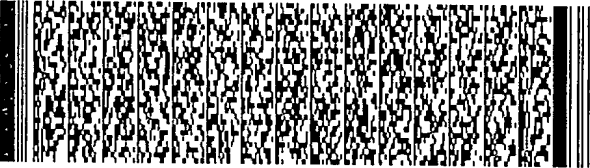
第 6/26 頁



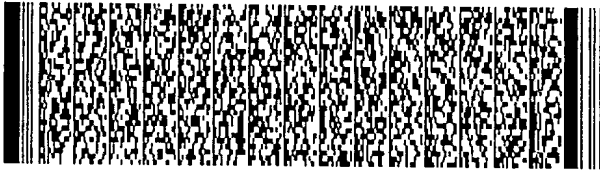
第 6/26 頁



第 7/26 頁



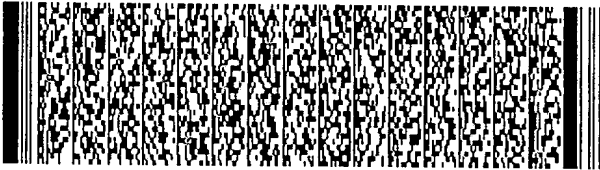
第 7/26 頁



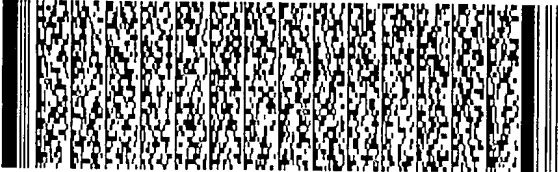
第 8/26 頁



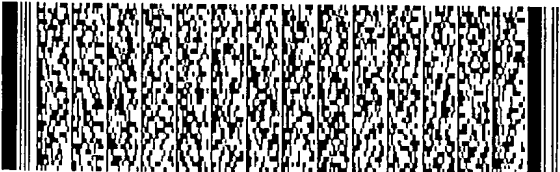
第 8/26 頁



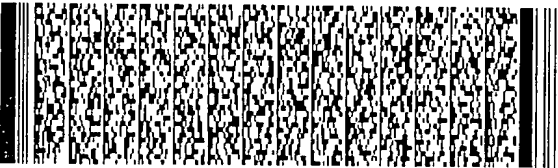
第 9/26 頁



第 9/26 頁



第 10/26 頁



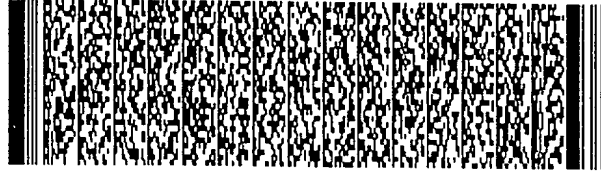
第 10/26 頁



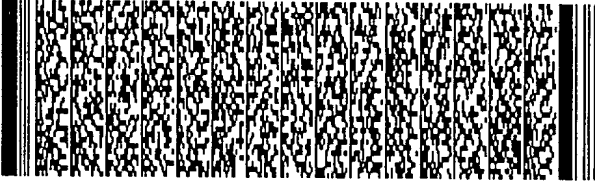
第 11/26 頁



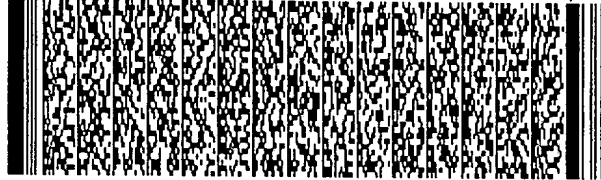
第 11/26 頁



第 12/26 頁



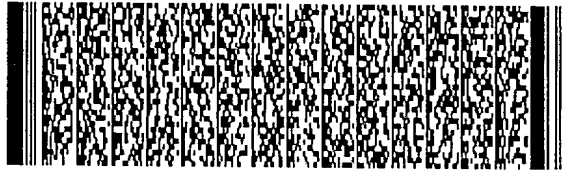
第 12/26 頁



第 13/26 頁



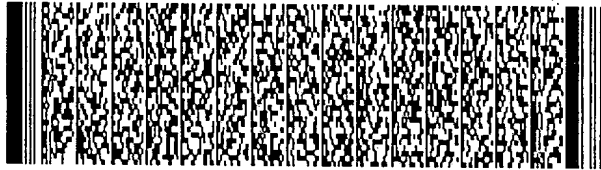
第 13/26 頁



第 14/26 頁



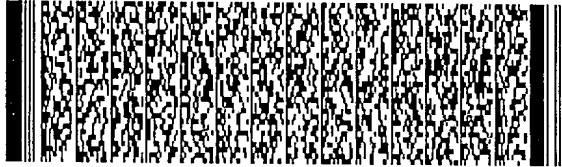
第 14/26 頁



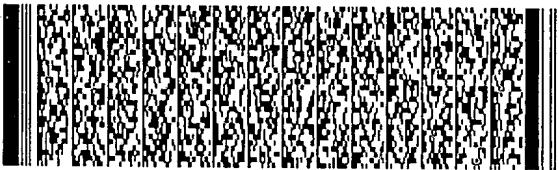
第 15/26 頁



第 15/26 頁



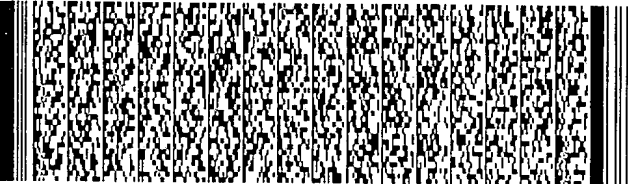
第 16/26 頁



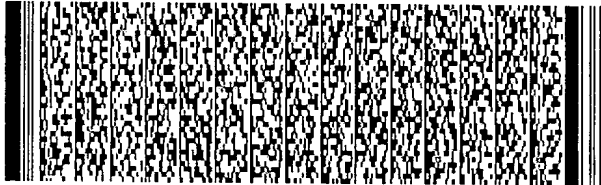
第 17/26 頁



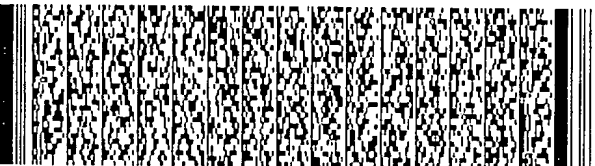
第 18/26 頁



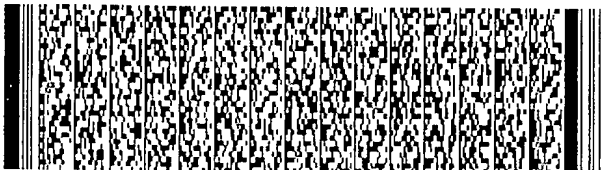
第 19/26 頁



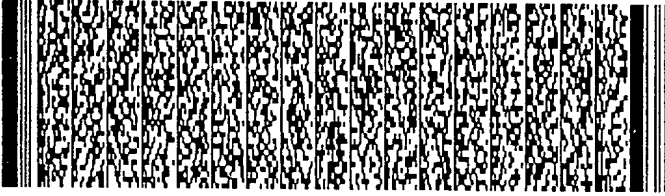
第 20/26 頁



第 21/26 頁



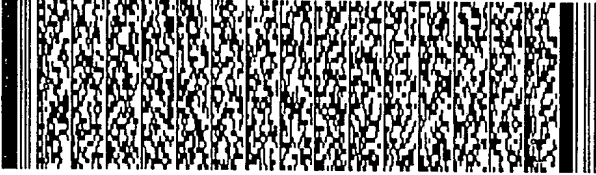
第 22/26 頁



第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

